

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

009141382 **Image available**

WPI Acc No: 1992-268820/199232

Related WPI Acc No: 1992-284865; 1993-258987; 1993-273120; 1993-303671;

1993-350829; 1994-118632; 1994-167818; 1994-176402; 1994-280096;

1995-043660; 1995-274965; 1995-344735; 1996-159905; 1997-402023;

1997-456965; 1998-031499; 1998-270792; 1998-321880; 1999-130598;

2000-440902; 2002-238193; 2003-246899; 2003-415468; 2003-554214

XRPX Acc No: N92-205588

Flat-panel display fabrication - using pixel arrays which form light
valves or switches fabricated with control electronics in single crystal
thin-film material

Patent Assignee: KOPIN CORP (KOPI-N); DINGLE B (DING-I); FAN J C C (FANJ-I)
; JACOBSEN J (JACO-I); MCCLELLAND R (MCCL-I); ZAVRACKY P M (ZAVR-I)

Inventor: DINGLE B; FAN J C C; JACOBSEN J; MCCLELLAND R; SPITZER M;
ZAVRACKY P M

Number of Countries: 017 Number of Patents: 014

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
WO 9212453	A1	19920723	WO 91US9770	A	19911231	199232	B
US 5206749	A	19930427	US 90636602	A	19901231	199318	
EP 565588	A1	19931020	WO 91US9770	A	19911231	199342	
			EP 92902703	A	19911231		
US 5258320	A	19931102	US 90636602	A	19901231	199345	
			US 91801885	A	19911203		
JP 6504139	W	19940512	WO 91US9770	A	19911231	199423	
			JP 92502883	A	19911231		
US 5362671	A	19941108	US 90636602	A	19901231	199444	
			US 91801966	A	19911203		
			US 9385667	A	19930630		
			US 94225091	A	19940408		
US 5528397	A	19960618	US 90636602	A	19901231	199630	
			US 91801966	A	19911203		
			US 9385667	A	19930630		
			US 94225091	A	19940408		
			US 94281777	A	19940728		
US 5736768	A	19980407	US 90636602	A	19901231	199821	
			US 91801966	A	19911203		
			US 9385667	A	19930630		
			US 94225091	A	19940408		
			US 94281777	A	19940728		
			US 95485779	A	19950607		
US 6232136	B1	20010515	US 90636602	A	19901231	200129	
			US 91801966	A	19911203		
			US 9385667	A	19930630		
			US 94225091	A	19940408		
			US 94281777	A	19940728		
			US 95485779	A	19950607		
			US 9856410	A	19980406		

US 20010019371	A1	20010906	US 90636602	A	19901231	200154
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	
			US 2001812611	A	20010320	
JP 2002014375	A	20020118	JP 92502883	A	19911231	200211
			JP 2001158849	A	19911231	
US 6414783	B2	20020702	US 90636602	A	19901231	200248
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	
			US 2001812611	A	20010320	
JP 3361325	B2	20030107	JP 92502883	A	19911231	200306
			JP 2001158849	A	19911231	
US 20030057425	A1	20030327	US 90636602	A	19901231	200325
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	
			US 2001812611	A	20010320	
			US 2002188342	A	20020701	

Priority Applications (No Type Date): US 90636602 A 19901231; US 91801885 A 19911203; US 91801966 A 19911203; US 9385667 A 19930630; US 94225091 A 19940408; US 94281777 A 19940728; US 95485779 A 19950607; US 9856410 A 19980406; US 2001812611 A 20010320; US 2002188342 A 20020701

Cited Patents: 2.Jnl.Ref; EP 151508; JP 1038727; JP 63055529; US 4266223; US 4727047; US 4883561

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

WO 9212453	A1	86	G02F-001/136		
------------	----	----	--------------	--	--

Designated States (National): JP

Designated States (Regional): AT BE CH DE DK ES FR GB GR IT LU MC NL SE

US 5206749	A	28	G02F-001/1343		
------------	---	----	---------------	--	--

EP 565588	A1 E	86		Based on patent WO 9212453	
-----------	------	----	--	----------------------------	--

Designated States (Regional): AT BE CH DE DK ES FR GB IT LI LU MC NL SE

US 5258320	A	21	H01L-021/70	Div ex application US 90636602	
------------	---	----	-------------	--------------------------------	--

Div ex patent US 5206749

JP 6504139	W			Based on patent WO 9212453	
------------	---	--	--	----------------------------	--

US 5362671	A	28	H01L-021/20	Div ex application US 90636602	
------------	---	----	-------------	--------------------------------	--

Cont of application US 91801966

Cont of application US 9385667

Div ex patent US 5206749

US 5528397	A	27 H01L-027/01	Cont of application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of patent US 5206749 Cont of patent US 5362671
US 5736768	A	26 H01L-027/01	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397
US 6232136	B1	H01L-021/00	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex application US 95485779 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397 Div ex patent US 5736768
US 20010019371 A1		G02F-001/1335	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex application US 95485779 Cont of application US 9856410 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397 Div ex patent US 5736768 Cont of patent US 6232136
JP 2002014375 A		24 G02F-001/1368	Div ex application JP 92502883
US 6414783	B2	G02B-026/00	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex application US 95485779 Cont of application US 9856410 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397 Div ex patent US 5736768 Cont of patent US 6232136
JP 3361325	B2	23 G02F-001/1368	Div ex application JP 92502883

US 20030057425 A1

H01L-033/00

Previous Publ. patent JP 2002014375

Div ex application US 90636602

Cont of application US 91801966

Cont of application US 9385667

Cont of application US 94225091

Cont of application US 94281777

Div ex application US 95485779

Cont of application US 9856410

Cont of application US 2001812611

Div ex patent US 5206749

Cont of patent US 5362671

Cont of patent US 5528397

Div ex patent US 5736768

Cont of patent US 6232136

Cont of patent US 6414783

Abstract (Basic): WO 9212453 A

Fabrication of the panel display involves forming a single crystal semiconductor material on a supporting upstrate. An array of transistors and an array of pixel electrodes are formed in or on the single crystal material to form a circuit panel. Each pixel is actuatable by one of the transistors.

A light transmitter material is positioned adjacent to the circuit panel such that an electric field or signal generated by each pixel alters a light transmitting property of the material.

ADVANTAGE - Produces high quality image. h p

Dwg.1A/20

Title Terms: FLAT; PANEL; DISPLAY; FABRICATE; PIXEL; ARRAY; FORM; LIGHT; VALVE; SWITCH; FABRICATE; CONTROL; ELECTRONIC; SINGLE; CRYSTAL; THIN; FILM; MATERIAL

Derwent Class: P81; P85; U14

International Patent Class (Main): G02B-026/00; G02F-001/1335;

G02F-001/1343; G02F-001/136; G02F-001/1368; H01L-021/00; H01L-021/20; H01L-021/70; H01L-027/01; H01L-033/00

International Patent Class (Additional): G02F-001/1333; G02F-001/1345;

G09C-003/10; H01L-021/44; H01L-021/84; H01L-027/00; H01L-027/12; H01L-029/00; H01L-029/04; H01L-031/0392; H05B-033/12

File Segment: EPI; EngPI

特表平6-504139

第6部門第2区分

(43)公表日 平成6年(1994)5月12日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I
G 0 2 F 1/136	5 0 0	9018-2K	
H 0 5 B 33/12		8715-3K	

審査請求 未請求 予備審査請求 有 (全 23 頁)

(21)出願番号 特願平4-502883
 (86)(22)出願日 平成3年(1991)12月31日
 (85)国際文提出日 平成5年(1993)6月29日
 (86)国際出願番号 PCT/US91/09770
 (87)国際公開番号 WO92/12453
 (87)国際公開日 平成4年(1992)7月23日
 (31)優先権主張番号 636, 602
 (32)優先日 1990年12月13日
 (33)優先権主張国 米国(US)
 (81)指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IT, LU, MC, NL, SE), JP

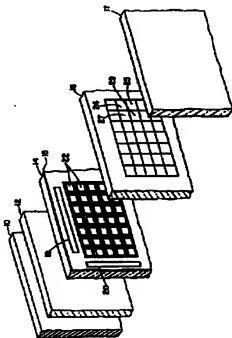
(71)出願人 コビン・コーポレーション
 アメリカ合衆国マサチューセッツ州02780ト
 ーントン・マイルズスタンディッシュイン
 ダストリアルパーク・マイルズスタンディ
 ッシュブルバード695
 (72)発明者 ザブラツキー, ボール・エム
 アメリカ合衆国マサチューセッツ州02062ノ
 ーウッド・ビーチストリート25
 (72)発明者 フアン, ジョン・シー・シー
 アメリカ合衆国マサチューセッツ州02167チ
 エスナツトビル・ウエストロックスバリー
 パークウェイ881
 (74)代理人 弁理士 小田島 平吉

最終頁に続く

(54)【発明の名称】 表示パネル用の単結晶シリコン配列素子

(57)【要約】

ディスプレイパネルが、ディスプレイ作製のための基板上に転移される単結晶薄膜材料(15)を使用して形成される。ピクセル配列(22)は、転移の前に、薄膜材料において制御電子回路(18、20)を作製した光井又はスイッチを形成する。それから、結果の回路パネル(14)が、所望のディスプレイを設けるために、発光又は液晶材料でディスプレイパネルに組み込まれる。



請求の範囲

1. パネルディスプレイを作製する方法において、
 - a) 支持基板において単結晶半導体材料を形成すること、
 - b) 各ビクセルがトランジスタの一つによって作動可能である如く、回路パネルを形成するために、単結晶材料において又は上にトランジスタの配列とビクセル電極の配列を形成すること、
 - c) 各ビクセルによって発生された電界又は信号が材料の光透過特性を更なる如く、回路パネルに隣接して光透過性材料を位置付けることを含む方法。
2. 段階 a) が、支持基板において非単結晶の半導体材料を形成すること、単結晶材料を形成するために非単結晶の半導体材料を結晶化することを含む請求の範囲 1 に記載の方法。
3. 単結晶半導体材料が、本質的単結晶の半導体材料である請求の範囲 2 に記載の方法。
4. 段階 a) が、支持基板から光透過性基板に単結晶材料を転写することを含む請求の範囲 1 に記載の方法。
5. 各トランジスタが電極回路に電気的に接続される如く、単結晶半導体材料において又は上に電極回路を形成することを含む請求の範囲 1 に記載の方法。
6. 転写段階が、さらに、単結晶材料から基板を化学的にエッチングすることを含む請求の範囲 4 に記載の方法。
7. 転写段階が、さらに、回路パネルを光透過性基板に貼合せることを含む請求の範囲 4 に記載の方法。
8. 光透過性材料が、液晶を具備する請求の範囲 1 に記載の方法。

17. 光透過性材料が、エレクトロルミネセント材料を具備する請求の範囲 10 に記載のパネルディスプレイ。

18. パネルディスプレイを作製する方法において、
 - a) 支持基板上に単結晶半導体材料を形成すること、
 - b) 各ビクセルが少なくとも一つのトランジスタによって作動可能である如く、ビクセルの回路パネルを形成するために、単結晶材料において又は上にトランジスタの配列とビクセル電極の配列を形成すること、
 - c) 各ビクセルにおいて発生された電界又は信号が材料により発生する如く、各ビクセル内に発光性材料を位置付けることを含む方法。
19. 段階 a) が、支持基板上に非単結晶の半導体材料を形成すること、本質的単結晶材料を形成するために非単結晶の半導体材料を結晶化することを含む請求の範囲 18 に記載の方法。
20. 各トランジスタが電極回路に電気的に接続される如く、本質的単結晶材料において又は上に電極回路を形成することを含む請求の範囲 18 に記載の方法。
21. 各ビクセルにおいて発生された電界が、光透過性電極とビクセル電極の間にある如く、発光性材料上に光透過性電極配列を位置付けることをさらに含む請求の範囲 18 に記載の方法。
22. 段階 a) が、単結晶材料が支持基板上から光透過性基板上に転写される転写段階を含む請求の範囲 18 に記載の方法。
23. 転写段階が、単結晶材料から化学的にエッチングすることにより支持基板を剥離する段階を段階を含む請求の範囲 22 に記載の方法。
24. 単結晶材料が、光透過性基板の湾曲面に転写される請求の範囲

9. 光透過性材料が、エレクトロルミネセント材料である請求の範囲 1 に記載の方法。

10. 支持基板と、
 - 基板に固定され、トランジスタの配列とビクセル電極の配列を具備し、各電極がトランジスタの一つに電気的に接続された回路パネルと、
 - 各ビクセルによって発生され、材料に印加された電界又は信号が光透過特性を更なる如く、回路パネルに隣接して位置付けられた光透過性材料と、
 - ビクセルを作動させるために回路パネルに電気的に接続された電極回路とを具備するパネルディスプレイ。
11. 単結晶半導体材料が、シリコンを具備する請求の範囲 12 に記載のパネルディスプレイ。
12. 単結晶半導体材料が、本質的単結晶の半導体材料である請求の範囲 13 に記載のパネルディスプレイ。
13. トランジスタ配列とビクセル配列が、単結晶半導体材料の湾曲面において又は上に形成される請求の範囲 10 に記載のパネルディスプレイ。
14. 回路パネルを光透過性基板に貼合せるための貼合せ材料をさらに具備する請求の範囲 10 に記載のパネルディスプレイ。
15. 光透過性材料上に位置付けられた電極の光透過性配列をさらに具備し、各光透過性電極が、トランジスタの一つに電気的に接続される請求の範囲 10 に記載のパネルディスプレイ。
16. 光透過性材料が、液晶を具備する請求の範囲 10 に記載のパネルディスプレイ。

22 に記載の方法。

25. 転写段階が、さらに、回路基板を光透過性基板に貼合せることを含む請求の範囲 22 に記載の方法。
26. 発光性材料が、エレクトロルミネセント材料を含む請求の範囲 18 に記載の方法。
27. 支持基板と、
 - 基板に固定され、トランジスタの配列とビクセル電極の配列を具備し、各ビクセル電極が少なくとも一つのトランジスタに電気的に接続され、各トランジスタが、単結晶半導体材料の湾曲面において又は上に形成したソース、ドレイン及びチャネル領域を含むビクセルの回路パネルと、
 - 各ビクセル内のトランジスタによって発生された電界又は信号が材料による発光を生じさせる如く、各ビクセル内に位置付けられた発光性材料と、
 - ビクセルを作動させるために回路パネルに電気的に接続された電極回路とを具備するパネルディスプレイ。
28. エレクトロルミネセント材料上に位置付けられた電極の光透過性配列をさらに具備し、各光透過性電極が、トランジスタの一つに電気的に接続される請求の範囲 27 に記載のパネルディスプレイ。
29. 単結晶半導体材料が、シリコンを具備する請求の範囲 27 に記載のパネルディスプレイ。
30. 単結晶半導体材料が、本質的単結晶半導体材料である請求の範囲 27 に記載のパネルディスプレイ。
31. トランジスタが、約 5000 Hz 以下に約 10、000 Hz 以上動作周波数において動作することができる請求の範囲 27 に記載のパネル

ルディスプレイ。32. 単結晶材料の薄層において形成した電極回路をさらに具備し、電極回路が、開路トランジスタを動作させることにより、各ピクセルを選択的に動作させることができる如くトランジスタに電気的に連絡され、各動作されたトランジスタに連絡された開路ピクセル電極が、発光性材料に電流を生じさせる請求の範囲27に記載のパネルディスプレイ。

33. 発光性材料が、エレクトロルミネセント材料を具備する請求の範囲27に記載のパネルディスプレイ。

34. エレクトロルミネセント材料が、複数の領域を具備し、各領域が、異なる色において発光する請求の範囲33に記載のパネルディスプレイ。

35. 支持基板が、ガラス又はプラスチックの如く光透過性材料を具備する請求の範囲37に記載のパネルディスプレイ。

ルファスシリコンの使用に係わった。TFTアプローチは、実現可能であることがわかったが、アモルファスシリコンの使用は、パネル性能の幾つかの見地を要する。例えば、アモルファスシリコンTFTは、アモルファス材料に固有な低電圧移動度のために大面積ディスプレイに対して必要とされる開路電圧に欠ける。こうして、アモルファスシリコンの使用は、表示速度を制限し、そしてまた、ディスプレイを駆動するために必要とされた高電圧に不適切である。

アモルファスシリコンの限定性のために、他の代替的な材料としては、多結晶シリコン又はレーザー再結晶シリコンが挙げられる。これらの材料は、一般に融く（再結晶）を低温に制限するガラス上に既存のシリコンを使用するために、限定される。

TFTを具備するアクティブマトリックスはまた、エレクトロルミネセント（ELD）ディスプレイにおいて有益である。TFTは、シリコンから形成される。しかし、LCDアクティブマトリックスにおいて多結晶シリコンとアモルファスシリコンの使用を限定する同一図子はまた、ELDディスプレイにおいてこれらの形式のシリコンの使用を制限する。さらに、ELDディスプレイは、高温と低い電圧の両方が、エレクトロルミネセントのために必要とされた電圧レベルをサポートすることができるとTFTを必要とする。

こうして、所望の速度を有し、製造の容易さと低費用を設け、パネルディスプレイの各ピクセルにおいて高品質TFTを形成する方法の必要性が存在する。さらに、所望の速度を有し、製造の容易さと低費用を設けるとともに、発光のために必要な電圧において表示ピクセルを動作させる機構を設け、ELDパネルディスプレイの各ピクセルにおいて高品質

発明の背景

高品質電流を生じさせるために液晶又はエレクトロルミネセント材料を使用した平パネルディスプレイが、開路されている。これらのディスプレイは、陰極線管（CRT）技術に取って代わり、より高解像度テレビジョン映像を設けることと期待される。例えば、大形高品質液晶ディスプレイ（LCD）への最も有望な道は、アクティブマトリックスアプローチであり、この場合開路トランジスタ（TFT）は、LCDピクセルと同じ場所に配列される。TFTを使用するアクティブマトリックスアプローチの主な利点は、ピクセル間のクロストークの防止と、TFT互換LCDで選ばれる優れたガラススケールである。

LCDを使用する平パネルディスプレイは、一般に、5つの異なる層を含む。すなわち、白光源、ピクセルを形成するためにTFTを配列した開路パネルの一方の面に取付けた第1偏光フィルター、ピクセルに配列された少なくとも3つの異なる色を含むフィルター板、そして最後に、第2偏光フィルターである。開路パネルとフィルター板の間の密着は、液晶材料で充填される。この材料は、開路パネルとフィルター板に取り付けた接合の間に電界が印加される時、偏光を回転させる。こうして、ディスプレイの特別なピクセルがオンにされる時、液晶材料は、第2偏光フィルターを通過する如く材料を通過される偏光を回転させる。

平パネルディスプレイに対して必要とされる大面積でのTFT形成への互換アプローチは、大面積光応電力素子に対して以前開示されたアモ

TFTを形成する方法の必要性が存在する。

発明の要約

本発明は、トランジスタがディスプレイの各ピクセルを制御するために作製され、本質的に多結晶シリコンの薄層を使用するパネルディスプレイとディスプレイの作製方法に関する。好ましい実施形態に対して、開路又はトランジスタアレイが、ガラス又は透明な有機物の如く光透過性基板に転写される。この実施形態において、開路多結晶シリコンは、LCDの各ピクセルを動作させる開路トランジスタのピクセルマトリックスアレイを形成するために使用される。パネルディスプレイを駆動するために非常に適するCMOS回路は、トランジスタが形成された同一層状材料に形成される。開路は、配線とワイヤボンディングの必要性なしに、開路酸化技術を使用して、マトリックスアレイに完全に開路を連絡させることができる。

各トランジスタは、電界又は信号の印加により、開路材料又は分子からの光の通過を制御するために役立つ。この印加の目的のために、開路からの光が通過されるトランジスタと開路材料又は分子は、光弁と呼ばれる。こうして、パネルディスプレイの各ピクセルは、独立制御光弁である。そのような光弁の例としては、LCD、あるいは光透過特性が電界又は信号により変更され、高電圧ピクセルアレイを設けるように構成された液体又は固体状態材料がある。本発明と関連する作製方法は、高解像力層一層を生成するための大形平パネルのすべての必要条件を満足する。トランジスタ又はスイッチは、ディスプレイを設けるために、エレクトロルミネセント表示装置（ELD）又は発光ダイオード（LED）と対応される。

本発明の好ましい実施態様は、大面積半導体膜を使用し、膜を処理基板上から分離し、膜をガラス又は他の適切な光透過性材料に取り付ける。2ミクロン以下の厚さの単結晶シリコン膜は、エピタキシャル基板から分離され、そして膜は、ガラスとセラミックスに取り付けられる。電界効果トランジスタ（FET）の如く機能性沟道結合素子は、分離膜に少なくとも部分的に作製され、それからガラスに転写される。接着剤、熱融着、ファンデルワールス力又はボンディング用金属合金を含む各種のボンディング手段が、基板への取り付けのために使用される。他の公知な方法も使用できる。

プロセスの好ましい実施態様は、割断基板において薄い本質的単結晶Si膜を形成する段階と、ビクセル電極及び層間シリコンメンブレントランジスタの配列と関連CMOS回路を層上に作製する段階とを含む。各トランジスタは、各ビクセルがトランジスタの一つによって独立に作製される如く、ビクセル電極の一つに電気的に接続される。CMOS回路は、ビクセル動作と表示画像を制御するために使用される。素子作製は、層間膜、ソース、ドレイン、チャネル及びゲート領域の形成とビクセル電極との相互接続により割断基板にまだ付着されている間、開始される。最終パネル基板への転写の前に、素子処理を實質的に完了することにより、低張ガラス又はポリマーが使用できる。代替的に、素子作製のすべて又は部分は、割断膜、あるいはガラス又はプラスチック膜への光照射の転写により行われる。転写後、カラーフィルと液晶材料との一体化により、LCDを使用する実施態様に対してパネルが完成される。

薄層形成プロセスの好ましい方法は、本質的単結晶膜が割断される他

ウェーハ又は基板から除去され、そして回路パネルを形成するためにガラス又は他の適切な基板に取り付けられる。代替的に、最初に、回路を形成し、回路をガラスに結合し、それから、基板から回路を分離することもできる。ビクセルは、平面形状を有する行と列において位置付けられる。作製段階の順序は、これらの回路に対する高張処理が転写の前に行われるために、ガラス上の従来の高張CMOS（又は他の）論理の使用を許容する。

別の好ましい実施態様は、トランジスタ素子の駆動電圧の作用に低わり、電荷蓄積の所望の期間又はレジストレーションを設けるために電極又は駆動する伸縮性基板に電荷を転写することと、表示パネルを含む最終基板に電荷を転写することを含む。

本発明のさらに別の好ましい実施態様は、単結晶シリコン材料を使用し、エレクトロルミネッセント（EL）パネルディスプレイとディスプレイの作製方法に関する。単結晶シリコンは、小形（6インチ×6インチ以下）のアクティブマトリクスELディスプレイにおいて高輝度を達成するために好ましい。ELディスプレイにおいて、一つ以上のビクセルが、行相互接続により、各ビクセルに接続されなければならない交流（AC）によって付勢される。相互接続によるACの効率的な導達は、使用容量によって制限される。しかし、アクティブマトリクスの存在は、相互接続容量の著しく縮小させ、ビクセル発光体においてより効率的なエレクトロルミネッセンスを實現し、このため、明るさを高めるために、高周波数ACの使用を可能にする。本発明により、この利点を設けるTFTは、バルクSiウェーハ、あるいは単結晶又は本質的単結晶シリコンの層間の如く、単結晶ウェーハにおいて形成される。これら

伸縮性基板において形成される、シリコンオンインシュレータ（SOI）技術を使用する。本出願のために、用語「本質的単結晶」とは、多数の結晶が、膜を渡って膜に広がる平面において、少なくとも0.1cm²、好ましくは0.5〜1.0cm²以上の面積における断面面積上に広がっている膜を意味する。そのような膜は、例えば、サファイア、SiO₂、Siウェーハ、炭素及び炭化けい素基板において公知の技術を使用して形成される。

SOI技術は、一般に、結晶塊が下層基板のそれに一致しないシリコン層の形成に頼る。特別な好ましい実施態様は、割断膜において高品質Siの薄膜を生成するために、分離シリコンエピタキシー（ISE）を使用する。このプロセスは、本質的単結晶シリコンを形成する材料を結晶化するために加えられた割断膜において、アモルファス又は多結晶シリコンの如く非単結晶材料の塊を含む。割断膜の使用は、回路への害なしに、エッチングされる活性層の下に酸化層を使用して、膜と回路の制御を可能にする。

好ましい実施態様において、エピタキシャル膜が形成された全基板はエッチバック手順によって除去される。

代替的に、化学的エピタキシャルリフトオフの方法、半導体材料をガラス又は他の基板に転写するプロセスは、所望の半導体材料の大面積シートに適用される。これら又は他の割断方法は、回路パネル作製用基板への転写のために成長基板から任意の薄層単結晶材料を除去するために使用される。

本発明は、再結晶化シリコンにおけるCMOS回路とビクセル電極の形成を含み、再結晶化シリコン膜は、第2転写基板に固定され、開始

の高品質TFTは、ELパネルディスプレイにおいて使用され、高周波と低周波を設けるとともに、エレクトロルミネッセンスのために必要とされた高電圧レベルをサポートする。

ELディスプレイは、両ビクセル発光体のための受動回路が、発光体材料の駆動時間時間に関して低いビクセル駆動電圧（約100Hz）で一般に動作するために、低い駆動力を要する。本発明のELディスプレイにおいて、TFTは、高キャリア移動度と特徴とするバルク又は薄層単結晶又は本質的単結晶シリコンを使用して、アクティブマトリクスにおいて形成される。それ自体、TFTは、高切替速度において動作する。こうして、ビクセルと同じ場所に位置した高張TFTを使用するアクティブマトリクス回路パネルは、発光体材料の駆動時間時間に関する高発光体駆動回路を設け、ディスプレイの明るさを増大させる。本発明のELディスプレイは、1000〜10、000Hzの発光体駆動周波数を設けることができる。好ましくは、本発明のELディスプレイは、約5000Hz以上、最大約10、000Hzの発光体駆動周波数を設け、周波数を比例して増大させる。

好ましい実施態様において、単結晶シリコンの層間膜、トランジスタの配列とビクセル電極の配列を具備し、各ビクセル電極が一つ以上のトランジスタによって作動可能な回路パネルを形成するために使用されるエレクトロルミネッセント材料は、回路パネルに隣接して位置付けられ、EL素子の配列を形成するためにパターン化される。ELディスプレイの実施態様に対して、各トランジスタ（又はトランジスタ回路）、関連ビクセル電極と関連EL材料素子は、ビクセルとして作動される。その自体、ELディスプレイは、複数の独立制御可能なビクセルから成る。

各ピクセルに対して、図解 E1 材料に電界又は信号を発生させることができるトランジスタ（又はトランジスタ回路）は、E1 材料による発光を制御するために役立つ。

E1 パネルディスプレイを駆動するために適する CMOS 駆動回路は、高圧 DMO5 トランジスタとピクセル電極が形成された同一半導体材料において形成される。駆動回路は、配線とワイヤボンディングの必要なしに、薄板金属化技術を使用して、ピクセルのマトリックスへ完全に相互接続されることができ、さらに、光透過性電極配列は、各ピクセルにおいて発生された電界が光透過性電極とピクセル電極の間にある如く、エレクトロルミネセント材料上に位置付けられる。それ自体、E1 パネルディスプレイの各ピクセルは、その発光特性が電界又は信号によって変調される独立側面発光体である。

本発明は、高解像カラー像を生成するための必要条件を満足する E1 パネルディスプレイを制作するための電子工芸製造方法を含む。そのために、エレクトロルミネセント材料は、複数の異なる発光層を生成することができるピクセルを駆動するために使用される。さらに具体的には、エレクトロルミネセント材料は、複数のパターン化層を具備し、各層は、電界を受けた時、他の層によって生成された電界に関して異なる特定の波長の光を生成することができる。

E1 ディスプレイ形成プロセスの好ましい実施態様は、支持基板において半導体シリコンの膜層を形成する段階と、シリコン膜においてピクセル電極、トランジスタと駆動回路の配列を形成する段階と、シリコン膜に附設した各ピクセル内にエレクトロルミネセント構造を形成する段階とを含む。各トランジスタは、各ピクセルが駆動回路によって独立に

作動される如く、ピクセル電極に電気的に接続される。

E1 ディスプレイのための半導体シリコン形成プロセスの好ましい方法は、基板上の絶縁性酸化層におけるシリコン層の形成に係る SOI 技術を含む。SOI 技術は、本発明において E1 ディスプレイの高圧、高角度回折をサポートするために好ましい。さらに具体的には、酸化層は、DMO5 トランジスタの如く、高圧電子に耐える構造を可能にする。さらに、SOI 構造は、高解像度ディスプレイに十分な高密度ピクセル回路を生成するためのチャネル形成を後ける。

他の好ましい方法は、半導体シリコン膜が、分離され、別の材料に隣接する支持基板において形成される SOI 技術に係る E1 ディスプレイのための膜層形成段階に關する。一つの好ましいプロセスにおいて、半導体シリコンの膜は、基板において形成され、そしてアクリアマトリックス回路が、シリコン膜において形成される。次に、膜は、その基板から分離され、ピクセルの発光を改良するために、反射材料に転写される。別の好ましい実施態様において、膜は、その基板から分離され、光特性を改良するために、材料の両面表面に転写される。例えば、E1 ディスプレイは、ヘルメット装置システムの構成要素に取り付けられる。代替的に、E1 ディスプレイは、ヘッドアップディスプレイのための両面発光に取り付けられる。

別の好ましい実施態様において、半導体シリコンの膜は、基板において形成され、そして金ウエーハが、上面に取り付けられる。次に、金基板は、エッチバック手順によって除去される。

E1 ディスプレイ形成プロセスの特別の好ましい方法は、絶縁性基板の上に多結晶シリコンの層を形成し、多結晶シリコン上にキャッピング

層を形成し、層を再結晶させ、實質的に半導体シリコンのウエーハを形成するために熱処理で多結晶層を冶金することを、高い本質的半導体 S1 膜を形成する段階を含む。S1E を使用する。ディスプレイ形成プロセスは、さらに、シリコン膜において、ピクセル電極、トランジスタと駆動回路の配列を形成する段階と、各ピクセル内にエレクトロルミネセント構造を形成する段階とを含む。各トランジスタは、各ピクセルが、一つのトランジスタ回路によって独立に作動される如く、ピクセル電極に電気的に接続される。駆動回路は、ピクセル作動を制御するために使用され、そして結果が表示される。

図解の多様な新穎な詳細と部品の組み合わせを含む、発明の上記と他の特徴は、図解の断面を参照してさらに詳細に記載され、クレームにおいて指摘される。特定の E1 ディスプレイと発明を具するパネルを制作する際に使用される方法は、例示のみとして示され、発明を限定するものでないことが理解される。この発明の主な特徴は、発明の範囲に反することなく多様な実施態様において使用できる。

図面の簡単な説明

- 第 1 A 図は、発明による E1 パネルディスプレイの分解斜視図である。
第 1 B 図は、発明の好ましい実施態様のための駆動システムを示す回路図である。
第 2 A-2 E 図は、E1 パネルディスプレイのための駆動パネルの作動を示す、好ましいプロセス流れ順序図である。
第 3 図は、ディスプレイパネルの好ましい実施態様の断面図である。
第 4 図は、再結晶化のために使用されるシステムの好ましい実施態様の斜視図である。

第 5 A 図は、結晶化材料において電界を同調化するパターン化制御層の使用を示す。

第 5 B 図は、電界を同調化するためのパターン化キャッピング層の使用を示す。

第 6 A 図は、発明によるガラスへの転移の前の MOSFET のドレイン電流と相互コンダクタンス特性を示す。

第 6 B 図は、ガラスへの転移後の第 6 A 図の MOSFET のドレイン電流と相互コンダクタンス特性を示す。

第 7 A 図は、2 つの異なるドレイン電圧において対数スケールでプロットした、第 6 A 図の電子のドレイン電流を示す。

第 7 B 図は、2 つの異なるドレイン電圧において対数スケールでプロットした、第 6 B 図の電子のドレイン電流を示す。

第 8 A 図は、ゲート電圧が 0.5 ボルトで変化する、第 6 A 図の電子のドレイン電流出力を示す。

第 8 B 図は、ゲート電圧が 0.5 ボルトで変化する、第 6 B 図の電子のドレイン電流出力を示す。

第 9 A-9 C 図は、発明によるリフトオフプロセスを示す一連の断面図である。

第 10 A 図は、発明の別の実施態様による、リフトオフ処理中のウエーハの部分斜視図である。

第 10 B 図は、プロセスにおける段階的、リフトオフ構造の第 10 A 図の線 B-B に沿って取った断面図である。

第 10 C 図は、レジストレーションが維持される別の実施態様において、リフトオフ処理中のウエーハの一部の部分斜視図である。

第10D図と第10E図は、リフトオフプロセスにおけるさらに他の段階後の第10C図の前述の断面を示す。

第11A～11E図は、発明によるリフトオフ手順のプロセスフローにおける各段階中のウェーハの略図である。

第12A～12C図は、発明の別の好ましいリフトオフ手順の略断面図である。

第13A～13C図は、発明による転移の好ましい方法を概念的に示す。

第14A図と第14B図は、発明によるさらに他の転移方法を概念的に示す。第15図は、発明による電子レジストレーションを監視制御するための好ましいシステムを示す。

第16A図は、本発明によるエレクトロルミネセントパネルディスプレイの分解斜視図である。

第16B図は、エレクトロルミネセントカラー表示要素の斜視図である。

第16C図は、エレクトロルミネセントパネルディスプレイのための駆動システムを示す回路図である。

第16D図は、第16C図のDMOSトランジスタの等価回路である。

第17A～17L図は、エレクトロルミネセントパネルディスプレイの回路パネルの作製を示す好ましいプロセス流れ順序図である。

第18A～18D図は、エレクトロルミネセントカラーディスプレイの作製を示す好ましいプロセス流れ順序図である。

第19A～19B図は、SOI構造の上層への転移及びボンディングと蓋板の除去を示す好ましいプロセス流れ順序図である。

他の好ましい実施態様は、各ピクセルに対して発光体を形成するために、他の固体状態材料を使用する。その光透過特性が電界の印加により変更されるエレクトロルミネセント膜、多孔性シリコン又は発光材料が、発光体を形成するために使用される。従って、エレクトロルミネセント表示要素(ELD)、多孔性シリコン表示要素又は発光ダイオードが、形成され、ディスプレイを設けるために使用される。

パネルにおいてディスプレイを制御するために使用される駆動回路が、第1B図に示される。回路18は、入力信号を受信し、バス19を通して信号をピクセルに送達する。回路20は、各ピクセルにおいてキャパシタ26を充電する個々のトランジスタ23をオンにするために、バス19を通して走査する。キャパシタ26は、配列の次の要素まで、ピクセル電圧と液晶21において電荷を保持させる。発明の多様な実施態様は、所望のディスプレイの形式により、各ピクセルでキャパシタを使用する又はしない。

第2A～2L図は、回路パネル構成が形成された、シリコンオンインシュレータ(SOI)膜を形成するために、絶縁シリコンエピタキシー(ISE)プロセスの順序を示す。なお、任意の数の技術が、単結晶Siの薄膜を設けるために使用される。第2A図に示されたものの如く、SiO₂薄膜は、基板30と、基板30において成長又は増幅された(例えば、SiO₂等の)酸化層34を含む。シリコンの薄単結晶層は、酸化層34上に形成される。酸化層(又は絶縁体)は、こうして、Si表面層の下に埋め込まれる。ISE SOI構造の場合に、頂部層は、CMOS回路板が作製される実質的に単結晶の再結晶化シリコンである。適当な絶縁体の使用は、従来のバルク(チェクラスキー)材料におい

て第20A～20B図は、GeSi合金が中間エッチストップ層として使用される、代替的な転移プロセスを示す、好ましいプロセス流れ順序図である。

好ましい実施態様の詳細な説明

発明の好ましい実施態様が、第1図におけるパネルディスプレイの斜視図に示される。ディスプレイの基本構成要素は、白又は他の適切な色である光層10、第1発光フィルター12、回路パネル14、フィルター16と第2発光フィルター17を含む。回路パネルにおいて固定される。液晶材料(不図示)は、回路パネル14とフィルター16の間の空間に置かれる。回路パネル14におけるピクセル22の配列は、各ピクセルが、ピクセルとカラーフィルター16に固定した対向電極の間にある液晶材料において電界を発生させる如く、配列に隣接して位置付けられた第1及び第2回路構成要素18、20を有する駆動回路によって個別に作動される。電界は、液晶材料を透過される光の偏転を生じさせ、特定カラーフィルター要素が顕明されることとなる。フィルター要素24、25、27、29に調達したピクセル又は光弁は、そのピクセルグループに対する所望の色を設けるために選択的に作動される。

本発明は、ディスプレイパネルの各ピクセルを形成するために、透過性又は発光性材料を使用する。そのために、好ましい実施態様は、前述の液晶材料の如く任意の媒体を使用し、各ピクセルに対して透過性光弁を形成する。他の好ましい実施態様は、各ピクセルに対して透過性光弁を形成するために、強磁性材料の如く固状膜材料を使用する。さらに、

て要されるよりも高濃度の素子を設ける。150万を越えるCMOSトランジスタを含む回路が、ISE材料において成功裏に作製された。

第2B図に示された如く、第38は、各ピクセルに対するトランジスタ領域37とピクセル電極領域39を固定するためにパターン化される。酸化層40は、それから、各ピクセルの2つの領域37、39の間のチャネルを含むパターン化領域上に形成される。それから、固有結晶化材料38が、nチャネル素子を設けるためにp型又は他のp型ドーパント(又は代替的に、pチャネル素子に対してn型ドーパント)を注入44(第2C図)。

それから、多結晶シリコン層42が、ピクセル上に堆積され、そして層42は、第2D図に示された如く、n型ドーパントを注入46され、ゲートとして使用される層42の抵抗率を低下させる。ポリシリコンは、第2E図に示された如くゲート50を形成するように酸化層54を通して形成される。アルミニウム、タンゲステン又は他の適切な金属のパターン化金属膜70は、露出ピクセル電極52をソース50に連絡し、ゲートとドレインを他の回路パネル構成要素に連絡するために使用される。

第2の作製手順は、ガラスに貼り合わされた無結晶シリコンの層(1～5ミクロン)を形成するために開発された蒸気昇昇プロセスの一つである。これらの層は、転移の前に部分的又は完全に作製されたFEETの

しく、活性半導体素子を含む。電荷のための縦方向成長エピタキシャル膜のへみ膜(CLEF)アプローチを準備強化及び制御手順は、参照としてここに取り入れた。米国特許第4,727,047号において十分に記載される。化学エピタキシャルソフ(CLE)アプローチは、米国特許第4,846,931号と第4,883,561号において十分に記載される。CLEFとCLEの技術は、基板の再使用を容易し、基板が消費される他のアプローチと比較して費用を小さくさせる。SOIウェーハと局所加熱技術を組み合わせることにより、ガラスにおいて要求品質膜及び構造を形成することができ。

前記は、CLEプロセスが、制御層のHF(又は他のエッチング液)アンダーカットに対して必要とされた縦方向面によって制御されることを示す。CLEを処理する大面積ウェーハの場合は、完全大面積よりもむしろ、パターン化されたウェーハ又は局所加熱の制御である。といういは、制御又は素子は、エッチングを制御層に達させるために膜を剥して露出チャネルとして使用される未処理領域を有する。このアプローチは、第2層〜第2層に示される。制御層から四角を除去するために、第1開口70(第2層)が、ピクセル領域にある第3層の制御層において形成される。それから、第3層の第2の大部分が、第3層の一部が開口72上に延びるべく、空間72を形成するために除去される。

第2層において、支持柱76は、空間72と開口70を渡すために形成され、第3層の開口上に延びている。それから、開口又はゲートホール74が、エッチング液が、第3層(第2層参照)を除去するために、ホール74又は開口75を通して導入されるべく、第3層を通して設けられる。残りの絶縁性第3層と支持柱又は四角は、支持柱7

でコネクタが付けられる。最後に、白光線114又は他の適切な光線が、図11に結合される。

結果の素子の断面図が、第8図に示される。この場合ピクセル電極102と104は、互いに横に隣接される。各ピクセル102, 104は、トランジスタ105と、付随したカラーフィルター120, 122を有する。光受光素子112, 118が、結合受光素子又は検出素子108と、ガラス又はプラスチックの如く光透過性基板110を含む構造の対向側において位置付けられる。第108は、2-10ミクロンの厚さを有する透明なエポキシ又は低屈折率ガラスである。

CLEFプロセスは、使用可能な最小エピタキシャル基板から、化学蒸着(CVD)によって成長された単結晶膜の分離を容易にする。CLEFプロセスと異なり、CLEFプロセスにおいては、制御又は素子は、最初に、ガラスに結合され、接着層、開口と基板の間で分離される。

CLEFによって基板から除去された膜は、本質的に低欠陥密度の単結晶であり、ほんの微少の汚染であり、局所的に、四角パネルは、電極であり、良好な透過特性を有する。本出願の目的のために、用語「本質的単結晶」とは、多数の結晶が、少なくとも0.1 cm²、好ましくは、0.5〜1.0 cm²以上の範囲において膜の平面における表面積上に広がることを意味する。

米国特許第4,727,047号に示されたCLEFプロセスは、次の順序を含む。すなわち、制御層(底層平面)上の所定の局所成長、金属化と他の膜の形成、基とガラスの如く第2基板(又は上部)の膜の結合の形成、及びへみ膜による虚構の延びる平面に沿った分離であ

りより基板30に同じ位置に保持される。海外で製造されるエポキシが、光透過性基板30を制御層35に取り付けるために使用される。それから、基板30は、柱76の周りのエポキシ34の領域が、透明のエポキシ32で置換される局所加熱の直後であるが、パターン化される(第2K参照)。基板30と柱76は、第2層に示された構造を設けるために除去され、所定のディスプレイパネルを設けるために処理される。

UV硬化性接着剤(又はテープ)が、必要な場合に、図面を露出するためにパターン化され、そしてHFが、残りの制御層に達するために使用される。

なお、テープが使用される場合に、テープは、制御層の開口への支持を設ける。膜を含む大面積Glass素子は、このようにして作成され、そしてこれらは、テープにおいて金ウェーハから素子を形成するために制御された。制御された図面は、液晶ディスプレイパネルのガラスと他の要素に再配置される。透明接着剤が、図面の厚さ1/2以下である。

最終ディスプレイパネルを形成するために、第2層に示された図面パネルが、エッチングされ、所定のピクセル領域を露出させる。絶縁及び合金層、スペーサー、密封ボデーと絶縁層を付与するが、図面パネルに付加される。スクリーン印刷プロセスが、ボデーを導電するための使用される。カラーフィルターと対向電極を含む板が、スペーサーの挿入後、密封ボデーにより図面パネルに付加される。ディスプレイは、ボデーを貫通している一つ以上の小さな注入穴を介して、選択された結晶材料で充填される。この注入穴は、それから、閉塞又はエポキシで密封される。第1及び第2層光又は膜が、両側に結合され、もし

る。基板は、再使用のために利用できる。

CLEFプロセスは、制御層の面において連続膜を形成するために、縦方向エピタキシャル成長を使用し、本質的単結晶材料のシートを形成するために使用される。シリコンに対して、縦方向エピタキシャルは、ISプロセス又は他の再結晶化手順によって達成される。代替的に、他の単結晶技術、必要な膜の本質的単結晶材料を形成するために使用できる。

制御層を形成する材料の必要な特性の一つは、層と半導体膜の間の接着の欠如である。若い平面は制御層によって作成されるために、膜は、劣化なしに、基板からへみ膜を剥離する。制御層は、Si₃N₄ SiO₂の多層膜を具備する。そのようなアプローチは、SiO₂をCMOS絶縁の層を不溶性化するために使用する。(Si₃N₄は、通常平面を生成するために塗布される層である。)CLEFアプローチにおいて、制御層は、最初に、ガラス又は他の低屈折率基板に結合され、それから、分離され、UV硬化テープと比較して単純な取り出しとなる。

ISプロセスにおいて、酸化膜は、基と、開口を含む第2層に強力に付着される。この理由のために、結合の強度を化学的に弱くすることが必要である。この使用は、制御層において虚構平面を形成するために完全な分離なしに、エッチング液により優先的に溶解される制御層を含む。それから、膜は、ガラスが開口と電極に結合された膜、機械的に分離される。

機械的分離は、次の如く達成される。膜の上面は、透明なエポキシでガラスの如く上部に結合される。それから、膜とガラスは、へみ膜支持物として立立つ5mm厚のガラス板にワックスで結合される。金属く

さびが、表面を分離させるために、2つのガラス板の間に挿入される。マスクは基板に対して低接着力を有するために、膜は、基板からへき開かれるが、ガラスに接着されている。それから、基板は、CSEPTプロセスの別のサイクルに対して使用され、そして素子地層が、膜の背面において完了される。なお、素子が上層に付着されているために、背面は、フォトリソグラフィを含む電導ウェーブ処理される。

方法は、さらに、S1基板の場合にレーディングにより、異質基板の場合にレーディングなしの最終膜層の準備を含む。レーディングされたS1膜の場合に、標準再結晶化プロセスが使用される。いずれにせよ、低導電化又は重化層が、制御目的のために最適化される。

第4図に概略的に示された、再結晶化システムの一実施形態において、基板温度は、下方加熱炉130によって熱点近くまで昇温される。上方ワイヤ又は加熱糸片加熱器132が、サンプル134の頂部を定置し、移動する加熱ゾーン136により多結晶シリコンを再結晶化又はさらに結晶化させる。S1における標準プロセスにおいて、両方エピタキシーは、下方加熱炉を通して小開口からレーディングされ、そして結晶の再結晶化は、基板の配向を有する。キャッピング層138は、結晶化の前に、多結晶材料の上に堆積される。

異質基板の使用は、レーディングを排除する。この場合、本質的再結晶S1は、境界エントレインメント技術により制御される。境界エントレインメントは、再成長領域において組成成分における変質を導入するために、制御酸化物又はキャップ層のいずれかをパターン化することにより使用される。温度フィールドにおける変質は、加熱前面の位置を変化させ、予知可能な位置に境界を同調化する。制御酸化物142のパー

セン化が、第5A図に示される。この実施形態において、基板140は、制御酸化物142で充満された溝150を有する。キャップ146と制御層142の間に広がる結晶化材料144における境界148の同調化により、S1領域又は電極は、高品質の領域に位置する。金属化と他の特徴は、基板表面上に位置する。

図示された如く、好ましい技術は、必要な同調化構造により再使用可能な基板をパターン化することである。いったんこのようにパターン化された後、再使用可能な基板は、再パターン化を必要としない。そのようなスキームにおいて、同調化は、溝を完全に満たすために十分な厚さの材料を設けられる。溝における材料は、例えば、ブルーナー化Si₃N₄を含む。一方、制御層は、S1O₂のさらに増強を含む。代替的に、溝は、S1O₂で完全に満たされる。それから、溝は、制御エッチングのためのチャネルとして機能する。

第2アプローチは、第5B図に示された如く、キャップ堆積の後に、キャップ層145をパターン化することを含む。キャップ145のパターン化リッジ147は、キャップ145と制御層141の間に広がる再結晶化材料における境界148に重なる。第3アプローチは、多結晶シリコン層をパターンするものである。キャッピング層は、異質基板で使われる。キャッピング層は、熱サイクルを通じて弾力性でなければならないが、素子形成のために除去可能でなければならない。キャップは、なめらかなS1基板に対して良好に作用するが、同調化のために必要なパターン化層は、新設を必要とする。

第6〜8図は、ガラス基板への転移の前段で、発明により作成されたMOSFETの電気特性を示す。第8A図は、直線領域におけるゲート

電圧 V_{gs} の関数として、ドレイン電流 I_d と相互コンダクタンス G_m をグラフで示す。この場合ドレインソース電圧は、ガラスへの転移前のMOSFETに対して50mVである。MOSFETは、2501m/201mの縦対長さ比率と、0.511μmの再結晶化シリコン材料において890Åのゲート酸化物厚を有する。第6B図は、ガラスへの転移の後、同一素子のドレイン電流 I_d と相互コンダクタンス G_m を示す。

第7A図は、2つのドレインソース電圧 $V_{gs}=50mV$ と $V_{gs}=5V$ において、対数スケールにおいてプロットした、第6A図の素子のドレイン電流をグラフで示す。

第7B図は、ドレインソース電圧 $V_{gs}=50mV$ と $V_{gs}=5V$ において、対数スケールにおいてプロットした、第6B図の素子のドレイン電流をグラフで示す。

第8A図は、 $V_{gs}=0, 1, 2, 3, 4$ と5ボルトのゲート電圧において、第6A図の素子のドレインソース電圧の関数として、ドレイン電流 I_d をグラフで示す。

第8B図は、 $V_{gs}=0, 1, 2, 3, 4$ と5ボルトのゲート電圧において、第6B図の素子のドレインソース電圧の関数として、ドレイン電流 I_d をグラフで示す。

CSEPTアプローチに対して、さらに他の実施形態は、ガラス板における制御層の再取り付けを含む。出露の方法は、角型半導体と接合剤の間の一様な密着を促進するが、領域において他の処理を導入しない。

方法としては、分離される層の表面へのApileon Wackの塗布が挙げられる。ワックスにおける応力は、溝を引上げ層に伝え、これにより、エッチング前面へのエッチング量の接近を可能にする。

エッチング前面への接近は、はがされる全領域の外縁からのみ達成される。

しかし、2cm x 2cmよりも大きな領域に対して、数時間又は数日まで延長される長いリフトオフ時間のために、このプロセスは、大面積リフトオフを含む応用に対して使用を限定される。再結合は、エッチング前面へのエッチング量の接近を増大させるために必要とされる。しかし、リフトオフのために必要な湾曲性は、低風ワックスによって生じ、その結果、高品質は、このワックスが存在する限り行われたい。存在するサンプルは、しばしば、基板の再使用を許容しないサイズまでへき開される。ワックス塗布プロセスは、自動化され、この手段が好ましい応用における基板の再使用を許容するためにパターン化可能である。このプロセスは、背面処理を必要としない個別の小領域に対してのみ使用される。

発明の別の実施形態は、標準リフトオフプロセスにおいて風ワックスに置き換えるために種々の影響係数の厚又は厚膜材料の組み合わせの使用に似る。このプロセスは、第8A〜8C図に示される。正しい温度を適用することにより、リフトオフのために必要な湾曲性は、層における応力により進められる。第一層は、はがされる材料に隣接している影響係数を有するならば使用される。この方法は、リフトオフ温度において正しい湾曲性を伝え、真直において平坦であり、そしてまた、背面地盤中継を支持する支持層を可能にする。

発明の別の実施形態は、第8A〜8C図の構造200に関連して記載される。エピタキシャル層又は素子が形成される適切な基板材料を含む基板202が、設けられる。制御層204は、基板202において、好

ましくはCVDにより成長される。薄膜シリコン制御可能層に対して、SIO₂層が、前述の如く使用される。

半導体層構造206は、同様にCVD又は他の製造の方法により、制御層204に加えて形成される。構造206は、好ましくは、均明によるトランジスタの配列の作製のために配置した材料を具備する。

例えば、CVDを使用することにより、構造206は、非常に薄く、すなわち、約5ミクロン未満、好ましくは、2ミクロン未満にされ、接触抵抗は、0.1ミクロン厚よりも小さい。

必要なドーパントは、一般に、ソース、ドレイン及びチャネル領域を規定するために、成長プロセスの後、拡散又は注入により導入される。次に、構造206は、従来の技術を使用して、前面又は頂面において処理され、ゲートと各ピクセルが位置する金属接点と、必要に応じて、バンプとボンディングパッドを形成する。

第1のリフトオフ実施段階において、被覆208が、前面地層構造206において形成される(第9A図)。被覆は、種々の絶縁膜係数の厚又は薄膜材料の組み合わせからなる。例えば、被覆208は、絶縁物、金属、パイメタル又はガラス応力被覆を具備する。接触金属被覆(不図示)はまた、前面地層においてこの時に施される。

被覆層208と構造206は、従来のフォトリソグラフィを使用してパターン化され、そして被覆材料208と構造206は、選択的選択性エッチング液によるエッチングにより、第9B図に示される如く、所定の領域において制御層204まで除去される。上記の段階は、被覆208の設置材料の間に大きな熱応力が生成されない、十分に低い所定の温度において行われる。次に、温度は、十分な温度まで昇温され、被覆

して記憶される。この場合第9図において対応する項目は、第10図と同一参照番号を保持する。第10A図の部分横断面図に示された如く、構造202には、制御層204を形成してあり、素子構造206によって覆われ、すべては第9図に開示して記憶された如くである。構造206のボンディングパッドと金属接点(不図示)の如く、すべての前面処理が、完成される。

層構造はエッチング可能な状態から層又はエッチング可能な状態(又は通)に置換される材料は、前面地層構造206において形成される。例えば、UV硬化化エポキシ230は、構造206上に広げられる。このエポキシは、UV光への露出により溶解性でなくなるという特性を有する。

材料のUV光透過性マスク制御層232は、エポキシ230上に形成され、そして開口233を有するパターン化不透明マスク234が層232上に堆積される。

マスク234は、UV光を照射され、マスク開口233の下側のエポキシの領域を露出させ、未硬化状態よりも溶解性でなくする。制御層232は除去され、そしてマスク234が除去される。次に、未硬化エポキシは、制御層204(第10B図参照)まの如く、溶剤によって除去される。

硬化エポキシ230は、制御層204からの分離後、薄膜構造206のための支持物として役立つために、構造上に残される。このように、エッチング前面は、制御層204までチャネル204をカットすることにより、構造の全頂面領域を小領域に分割することにより増大される。

ウェーハサイズリフトオフのための第2方法は、引き上げられる全

208において熱応力を生じさせる。この昇温において、構造は、制御エッチング液に露置される(第9C図参照)。

制御エッチング液は、究極的に、制御層204を十分にエッチングし、被覆208によって支持した分組素子構造206を除去させる。それから、これらの構造は、熱応力が解放される底面にされ、個別素子と続く表面地層に対して平坦にさせておく。

このプロセスは、個別チップを高価地層に対して平坦にさせ、支持構造が高価地層底面に対して、不透過性のガラスの如く材料から形成されることにおいて、Gm1t10t他の高ウェーブプロセスに対する大きな利点を設ける。

2つの異なる手段が、ウェーハスケールリフトオフを遂行するために使用される。第1方法は、転写される面が形成される金基板上のエッチングに依る。これは、「エッチバック」手順と呼ばれる。

第2方法は、ウェーハ又はサンプルの面の根から制御層にアクセスし、一つの大きなシートとして材料を制御する。この第2方法は、同一ウェーハから引上げられた素子間にレジストレーションを必要としない場合に対してである。処理が置かれなければならない。物理化学手段が、個別素子の大幅域又は材料の領域のリフトオフに対して使用される。前面地層が完了した後、UV硬化エポキシが、所望のパターンで硬化される。不透明場所を除去され、それから、制御層までのエッチングのためのマスクとして使用される。UV硬化エポキシは露出され、分組の引上げられた層のための支持物として作用する。分組素子は、エッチング液から回収される必要があり、回収及び場所管理方法を使用して、別個に処理される。

これらの代替的なリフトオフプロセスは、第10A〜10E図に開示

域を小領域に分割することにより、エッチング前面の量を増大させる。チャネルが、引き上げられる材料の全領域にカットされ、これにより、制御層を露出させる。これらのチャネルは、領域を完全に分離するか、又はリフトオフ領域に部分的に切り込むスリットから成る。

第2方法は、互いに関して材料の小領域を露出し、同時に、露出された制御層への大きな接近をエッチング媒体に許容しようとする問題を扱う。これを行う能力により、溶液からの容易な回収、底面におけるウェーハスケール処理、及びエッチング前面の小領域と最大領域とによる短いリフトオフ時間が許容される。このアプローチの重要な特徴は、すべてのエッチング前面へのエッチング液アクセスを確保しながら、全ウェーハ領域のレジストレーションを許容することである。

素子間のレジストレーションが、トランジスタの配列における如く必要とされる場合には、第10C〜10E図の代替的実施段階のリフトオフ方法は、多数の利点を設ける。

第10C図のこの代替的プロセスは、互いに関して小素子又は材料のピクセル領域を露出し、同時に、露出制御層へのエッチング媒体アクセスを許容しようとする問題を解決する。これを行う能力により、溶液からの容易な回収、底面におけるウェーハスケール処理、小領域と最大エッチング前面とによる短いリフトオフ時間が許容される。このアプローチはまた、すべてのエッチング前面へのエッチング液アクセスを確保しながら、全ウェーハ領域を通じて素子のレジストレーションを可能にする。第10D図を参照すると、ウェーハの矩形部分区分が示される。ウェーハは、制御層204がCVDによって堆積された半導体表面202から形成され、続いて前面地層トランジスタパターナル205によって覆われ、

すべては前述の如くである。

未硬化液体UVエポキシ250の如く、変形可能な材料が、前述206の表面又は側面に広げられる。前記樹脂層からの剥離点は、プラスチックの如く透明材料層の多孔ブレーナ一格子252が、エポキシ250の頂面に位置させられる時、次の段階において発生する。孔256は、格子252の平面に直交し平面を貫通している。

孔256を覆うように塗布された不透明層256を有するフォトマスクが、それから、格子252上に設置される(第10C図)。(オプションのUV透明マスキング層(不図示)が、マスク除去を容易にするためにマスク258と格子252の間に形成しても良い。)UV光は、マスクに露光され、第10D図に示される如く、不透明層256の下を除いてすべての場所まで下層エポキシ254を硬化させる。この場合エポキシ254の硬化区分は陰影区分で示され、未硬化区分はブランクで示される。マスク258は除去される。未硬化エポキシ256は、適切な溶剤によって開口256から除去され、前述206は、開口を通して制膜層204までエッチング除去される。それから、制膜層204上で除けられた如く、開口256を使用してエッチング除去される。エッチング液のアクセスは、こうして、ウェーハの多数の点において達成され、配列が硬化エポキシ254によって格子252に付着される(第10E図参照)。

レジストレーションへの別のアプローチは、制膜層204までエッチングすることにより素子材料において直接にチャネル260を形成し、これにより、材料のみにチャネルを形成することである(第11A図)。これらのチャネルはまた、第9図のUV硬化エポキシレバタニング方法を使用し、制膜層204までエッチングすることにより(第11B図

に良好に作動する単純な方法は、フォトリソグラフィによって材料206において直接にチャネルを形成し、続いて、制膜層204までエッチングすることである。これは、制膜層の上の材料の高さに等しい材料においてチャネル260を形成する。次に、エッチング液は、引き上げられる層の表面に渡られ、あるいはウェーハが、エッチング液に浸される。いずれにせよ、引き上げられる層は制膜層206の間のチャネル260は、エッチング液材料で充填される。これが行われた後、リフトオフの後レジストレーションを維持する上層支持層は、詳細に記載された結合方法により前述206の表面に付着される。上層支持層は、材料206に固定され、一方、ウェーハは浸される。あるいはエッチング液は、ウェーハの表面を覆い、チャネルを充填する。支持材料は、形成されたチャネルをふさぎ、これにより、エッチング液を押し出さないほど十分に用役でなければならない。適切な支持材料は、ガラス、プラスチック又は他の光透過性物質を具備する。これは、エッチング液アクセス穴を必要としない層状支持層を許容し、こうして、プロセスを非常に単純化する。

トラップされたエッチング液は、制膜層204を十分に溶解させ、その結果、陰影領域206は、高層が破く処置、すなわち、高層部を金属化とボンディングパッドの形成のために露出され、支持層によって支持かつ覆われる間、除去される。上記の支持材料のほかに、小形素子を取り扱うために露出において非常に公知なUV制膜層が、異つた理由のために優れた支持選択であることがわかった。これらのテープは、強いUV放射線に露出された時、弾力性をほとんど失うという特性を有する。さらに、湿気は、接着剤に影響を与えるものではなく、そして度

歩調)、又は第11C図の平面図に示される如く、分離される領域270の間にチャネル260又はアクセス路を形成する方法を使用することにより、より高くされる。支持層280は、チャネル260上の材料270に取り付けられ、それから、エッチング液が、チャネルに沿って渡され、これにより、ウェーハの中心へのウェーハの縁のアクセスを与える(第11D～11E図)。高いチャネルは、高速制膜を速するために電圧作用を加えるために役立つ。真空乾燥、超音波乾燥、等を含む他の方法もまた、チャネル260でのエッチング液の影響を加えるために使用される。

同一様に沿って、チャネル260は、下の制膜層を露出させるために素子材料において作られる。それから、多孔性材料が、スピン塗布され、あるいはそうでなければ、表面に形成又は付着される。この材料は、UV、熱、又は溶剤処理によって硬化された時、剛性又は半剛性であり、このため、基板からの分離後、引き上げられた膜を支持することができる。材料は、エッチング液によって破壊的に作用されずに、エッチング液を通過するために十分に多孔性である。このようにして、エッチング液は、多孔性材料を通過し、露出点において制膜層へのアクセスを見えられ、

別の実施形態において、制膜層エッチング液は、下層支持層が前述206に取り付けられる前に、制膜層と接触される。このプロセスが作動するためには、チャネル260は、エッチング液がトラップされる、引き上げられる材料の素子又は領域の間に形成されなければならない。基本プロセスは、次の如くである。チャネル260は、基板202において制膜層204を露出させるリフトオフ領域208の間に形成される。これは、素子間にチャネルを作成する前述の方法により行われる。非常

体に渡されたとしても、良好に配布される。これらのテープは、単独で、又は互い支持物と組み合わせて使用される。この付加支持物は、耐久的でなければUV放射線に透過性の材料から形成され、そしてそれは、使用されるエッチング液によって破壊的に作用されるべきでない。

UV制膜層間には、テープ高抵抗材料の代わりに、他の支持材料に直接に配布される。第12A～12C図に示される如く、両面UV制膜層282と組み合わせた支持層280が、使用される。テープ282の一方の側が、支持層に接合される。それから、他方の側が、エッチング液が配布された時に、前述206の表面に接合される。それから、エッチング液は、素子206をアンダーカットすることを許容される。素子は、第12A図に示される如く、支持層280に制膜層テープによって付着される。リフトオフ時間は、エッチング液がウェーハ表面における多数の点から制膜層へのアクセスを許すために、非常に短い。

このように、素子は、相互に固くして並べられ、そして高抵抗層中支持層280によって支持される。

テープの接合力は、支持物を通したUV照射によって制膜され(第12B図又は第12C図)。そしてテープは、素子を覆ったまま、キャリア280から取り外される。いっそうのUV露出は、素子を真空中によって除去させ、又はテープから他のテープ284又は基板288(第12B図又は第12C図)又は他の媒体に接着するエポキシ286に直接に粘着させるために十分な程度まで、テープへの素子の接着力を減少させる。0.5cm程度の分離領域が、この非両面方法によって引き上げられた。引き上げられ、同時に露出される全ウェーハサイズは、ウェーハサイズによってのみ制限される。

示された如く、代替の実施態様は、UV硬化接着性テープとエポキシの使用に係わる。接着剤は、両端トランジスタとCMOS回路要素をガラスに貼合せるために使用される。接着剤は、 $1\text{ cm} \times 1\text{ cm}$ 以上の板に施される。塗布方法としては、スピンコート法、電気塗布、スプレー、必要な一様性と光学品質を確保するための微細な塗布プロセスが挙げられる。

別の好ましい実施態様は、回路パネルにおいて密接な間隔でない位置に密接な配列の素子を転写する方法を含む。第13A図、第13B図と第13C図に示された技術は、素子が正しく位置付けられるまで、伸縮性テープ又は膜の引き伸ばし又は収縮を使用する。この技術はまた、前述のリフトオフ手順、及び機械的方法又は引き伸ばしと機械的方法の組み合わせを含む。商業的に利用可能な素子は、膜の引き伸ばしを正確に制御するために使用される。前記要素の適正なレジストレーションを確保するために引き伸ばし及び転写中、素子の間隔を測定するために、多様な方法が使用される。

前述300に開示して第13A図に示された如く、トランジスタ又は両端半導体領域の配列304が、伸縮性膜302に転写された。トランジスタ又は領域304は、上記の手順により、又は他の適切な手順を使用して、作製かつ転写された。基板302は、接着剤を具備する。

第1実施態様において、前述は、第3B図に示された如く軸306に沿って引き伸ばされ、これにより、軸306に沿った素子304間の距離308を増大させ、別の方向において素子間の距離310を同一にしておく。それから、基板302は、第13C図に示された配列を生成するために軸314に沿って引き伸ばされる。この場合素子304は、一

る信号を発生させるように位置付けられる。制御部358は、素子304の間の距離が正確に測定される如く、基板354に関するビーム352の移動を制御させる。制御部358は、素子の選択又は列の間隔に調整が行われる如く、引き伸ばし機構360に電気的に連通される。

引き伸ばし機構360は、基板354が駆動された環を通して押されるピストンから成る。基板354に対して環を通したピストンの移動は、素子304の間隔を増大させるために正確に規定された方法で基板354を引き伸ばす。

代替的に、周囲に沿って基板を把持し、適切な方向に基板を正確に引張る、第15図に示されたものと同様な引き伸ばし機構が商業的に入手可能である。

引き伸ばし後、置かれた素子は、ガラス、ポリエステル又は光弁(LCD)作動用の他の適切な基板に転写される。代替的に、素子は、ディスプレイ作動用の発光素子に置き付けられる。

前述の如く、他の好ましい実施態様は、エレクトロルミネセント膜、発光ダイオード、多孔性シリコン又はディスプレイの各ピクセル要素を形成するための発光材料の如く、発光性材料を使用する。そのために、本発明の別の好ましい実施態様は、第16A図におけるエレクトロルミネセント(EL)基本ディスプレイの側面図において示される。ELディスプレイの基本構成要素は、アクティブマトリックス回路パネル414、底部絶縁体423、エレクトロルミネセント構造416、頂部絶縁体417、及び光透過性電極419を含む。これらは、層化構造において規定される。EL構造416は、2つのプレーナー絶縁層417と423の間に位置付けられ、EL構造を通った電流を容易的に制限する

方向において間隔308を有し、直交する方向において間隔312を有する。

別の実施態様において、第13A図の新造300は、第13C図に示された配列を設けるために、方向306、314において同時に引き伸ばされる。

機械的技術は、第14A図と第14B図に示される。テープにおいて素子320のリフトオフ配列で開示される。このテープ322は、軸326に沿って左右に、軸328に沿って上下に移動するフレーム324に置かれる。たわみ性テープ334を有するドラム330は、その周囲に置かれる。それから、導具340が、素子324に押し出され、素子の第1行をドラムテープ334に押し出す。ドラムテープ334は、必要な角度において方向332において傾倒付けられ、再び、導具340は、間隔338の素子の第2行をテープ334に押し出す。これは、すべての行が転写されるまで続けられる。素子336の行を有する第1ドラムテープ334は、フレーム324に搬入される。同一動作は、行を新ドラムテープ339に転写することにより続けられる。

別の実施態様は、一方の方向においてテープを引き伸ばし、これを別のテープに転写させ、他方の方向にそのテープを引き伸ばし、そして素子を最終支持物に転写することである。この方法は、小形の個別素子に対して十分に適合する。

転写又は最終基板において素子304間の間隔を測定するためのシステムが、第15図に概念的に示される。レーザー350は、基板354の方向にビーム352を指向させ、層を透過する。センサー356は、透過及び/又は反射光を検出し、ビームが素子304によって偏角され

ることにより、破壊的電気抵抗防止し、そしてまた、信頼性を高めるために役立つ。絶縁体417と423は、高電圧耐性を有し、その結果として光体層において熱電子を生成することを必要とされる高電界において有益である。ディスプレイの容易な構造は、各絶縁体に隣接して薄層電極を生成することにより完成される。これらの電極の一方は、ピクセル配列422内に形成され、そして他方の電極は、光をディスプレイから出させる光透過性電極419である。

回路パネル414に形成されたピクセル422の配列は、駆動回路において個別に作動される。回路は、各ピクセル422が、ピクセル電極と電極419の両方の間のエレクトロルミネセント構造416において電界を生ずる如く、配列に隣接して位置付けられた第1及び第2層絶縁体418、420を有する。電界は、EL要素424を照明させる。

エレクトロルミネセント構造416は、単色ELディスプレイを有する好ましい実施態様に対して単一発光体層から形成される。別の好ましい実施態様において、EL構造416は、カラーディスプレイを設けるために複数のパターン化発光体層から形成される。発光体層は、各カラーピクセルが、赤、緑、及び青発光体層を含む如くパターン化される。ELカラーディスプレイは、参照としてこれに開示された、Barlow他への開示出願PCT/US80/01680において開示されたELディスプレイ形成プロセスに基づいて形成される。第16B図を参照すると、各EL要素424は、赤476、482、緑478と青489の如く単一カラー要素に分類される。

所年のEL要素424に対して単一カラー要素を照明するために、駆動回路は、駆動電極462の一つと透明電極419の間に電界を形成さ

せる。選択された照明単一カラー要素に対して、蛍光体の発光中心は、電圧が既知のしきい値を超過する時、熱電子の流れによって励起される。それ自体、ピクセル422は、ピクセルグループに対して用いられる。それを除くために選択的に動作される。

アクティブマトリックスピクセル配列は、ピクセルの駆動を制御するために、ディスプレイにおける各ピクセルと同じ場所に配置するトランジスタ(TFT)を使用する。ELディスプレイに適用された時、アクティブマトリックスアプローチは、回路パネルにおけるパワー消費の増小とAC共鳴ドライバが動作する周波数の増大を含む大きな利点を設ける。有益なELアクティブマトリックスの形成は、高電圧と高速度で動作するTFTを必要とする。増幅シリコンは、小形(61mm×61mm以下)のアクティブマトリックスELマトリックスにおいて高輝度を達成するために好ましい。

ELディスプレイにおいて、一つ以上のピクセルが、駆動回路に接続された行及び列相互接続により各ピクセルに与えられる交流(AC)によって付勢される。相互接続によるACの効率的な導達は、寄生容量によって制限される。しかし、アクティブマトリックスの使用は、相互接続の容量の大きな増小を設け、ピクセル蛍光体におけるより効率的なエレクトロルミネセンスと高明度を獲得するために、高周波数ACの使用を可能にする。本発明により、この利点を設けるTFTは、バルクSiウェーハ又は単結晶又は本質的増幅シリコンの薄層の如く、単結晶ウェーハにおいて形成される。これらの高品質TFTは、ELパネルディスプレイにおいて使用され、高速と低抵抗を設けるとともに、エレクトロルミネセンスのために必要な高圧レベルをサポートする。

ランジスタX1におけるゲートが、ソース上のしきい電圧まで上昇されるならば、電流が、正AC駆動パルス中、トランジスタX1を流れて流れる。分路ダイオードD1の存在は、ゲート電圧に拘わらず、逆方向に電流を流れる。その結果、高ゲート電圧により、電流は、正及び負動作中、トランジスタX1を流れて流れる。このため、EL層429は、励起されており、そしてゲートが高に保持される限り、照明される。ゲートが低、すなわち、しきい電圧V_iよりも低い電圧に保持されるならば、トランジスタX1は、正駆動パルス中導通しない。こうして、EL層429は、一連の負パルスを受け、第1ピクセルパルス駆動まで蓄電し、ダイオードD1の整流作用により正パルス中放電を防止される。このため、単一照明期間の後、EL層429は、全電圧と同等キャパシタンス426bと426cが一定にとどまるために、充電にとどまる。

第16図に示すと、図解425の第2のユニークな特徴は、2つの配列のみで制御されることである。第2の特徴は、pチャネルMOSトランジスタ421aとダイオード428の使用を通して、本発明において達成されるものである。ダイオード427は、導方向又は逆導道として作製される。全周波又は逆導道をあまり付加しない。ダイオード427は、NMOSトランジスタ421aが対称素子であるために必要とされ、回路とディスプレイを動作させる照明期間中、キャパシタ426aを放電させる。

図解425の性能を保証するために、回路分析が行われた。図解425は、まず、分析において最低信号を選択駆動413(0ボルト)に印加することによりキャパシタ426aを充電させ、それから、(この分析において0.5〜2ボルトの範囲において)所望の電圧にデータ線411

好ましい実施形態において、絶縁体(SOI)において形成した単結晶シリコンは、ELディスプレイを駆動するために必要な高圧回路の形成を許容する。さらに具体的に、ISEプロセス又は他のSOIプロセスによって形成された増幅単結晶シリコンは、TFTのための高圧DMOS回路とともに、ドライバと他の回路要素のための低電圧CMOS回路の作製を許容する。

EL単色ディスプレイを制御するためのDMOS/CMOS駆動回路構成が、第16C〜16D図に示される。各アクティブマトリックスELピクセル回路425は、それぞれ、CMOS及びDMOSTランジスタ(TFT)421a、421bを含む。キャパシタ426a、426bと426cは、AC EL構造において通常存在する寄生及び阻止キャパシタを渡す。その接続の外観に拘わらず、各ピクセル回路425は、最大1000MHzの配列密度でさえ、ピクセル領域の小部分のみを占有する。EL単色ディスプレイのための駆動回路は、暗電化の目的のみのために示される。ELカラーディスプレイに対して、各ピクセルの駆動回路は、赤、緑又は青色素子を駆動するために選択的に作製される3つのピクセル回路425を必要とする。

第16C図を参照すると、ピクセル回路425の2つのユニークな見地がある。第1は、駆動回路の出力におけるDMOSTランジスタ421bの使用により、ELディスプレイが428におけるAC駆動信号で駆動されるものである。この特徴は、DMOSTランジスタを考慮することにより認められる。

第16D図を参照すると、DMOSTランジスタ421bの等価回路が、分路ダイオードD1を有するNMOS素子X1を含む。NMOST

を上昇させることにより動作する。充電シーケンスの後、キャパシタ426aは、データ及び選択駆動信号レベルの間の差にほぼ等しい電圧からダイオード427の順電圧降下を差し引いた電圧まで充電される。出力トランジスタ421bをオンにするために、選択駆動413は、最初に、約1ボルトまで増大され、そしてデータ線411は、2〜4ボルト〜0ボルトにランプされる。出力トランジスタ421bは、キャパシタ426bに充電された電圧に正比例する時間に対してオンのままである。このようにして、グレースケールが、図解425によって達成される。

好ましいELディスプレイ形成プロセスは、増幅シリコン膜の形成、シリコン膜におけるアクティブマトリックス回路の作製、及び高活性素子を形成するためのEL材料の一体化を含む。そのために、第17A〜17K図は、シリコン絶縁体(SOI)膜を形成するための分路シリコンエピタキシャル(ISE)プロセスとともに、回路パネル回路を形成するためのISE膜における高圧DMOS素子と低圧CMOS素子を作製するためのプロセスを示す。なお、ISEプロセスが示されるが、任意の膜の性質が、単結晶Siの膜を設けるために使用される。

第17A図に示されたものの如く、SOI構造は、基板430と、基板430上に成長又は堆積された(例えば、SiO₂の如く)酸化層432を含む。多結晶シリコン層は、酸化層432において堆積され、そしてポリSi膜は、(例えば、SiO₂の如く)キャッピング層436でキャップされる。構造は、端点の近くまで加熱され、そして薄い可動薄片加熱層(第4図)が、ウェーハの頂面上を渡す。加熱層は、酸化層の間にトラップされたシリコン膜を溶解させ、再結晶させ、全領域単結晶シリコン膜434を生ずる。

シリコン434の両端地層は、こうして、酸化物(又は絶縁体)がS1膜層の下に埋め込まれる如く、酸化物432上に形成される。I S O I製造の場合に、キャピング層が除去された後、頂部層は、本質的半導体の両端地層シリコンであり、これからC MOS回路が作製される。埋め込み絶縁体の使用は、従来のバタ材料において獲得されたりも高導の素子を得る。150万を越えるC MOSトランジスタを含む回路が、I S E材料において成跡基に作製される。

第17B図に示された如く、シリコン膜434は、各パセルに対して個別アイランド437、438を規定するようにパターン化される。それから、酸化層435が、アイランド437と438の間のチャネル440を含むパターン化領域上に形成される。フィニッシュ拡散プロセスが、p及びnウェルを形成するために使用される。nウェルを形成するために、酸化ケイ素アイランド439が、pウェルであると指定されたアイランド438を分離するために形成される(第17C図)。残りのアイランド437は、続いて、nウェル441を形成するためにp形ドーパントを注入される。pウェルを形成するために、酸化層442が、p形ドーパント443からアイランド441と444の表面に成長される。そして酸化ケイ素アイランドが、除去される(第17D図)。非分離アイランドが、pウェル444を形成するために、p形ドーパント443を注入される。フィニッシュ形成に続いて、酸化層446が、両端地層を形成するために、シリコン膜441と444の表面に成長される。さらに具体的には、酸化層448は、比較的均一な厚さまでエッチングされ、そして酸化ケイ素アイランド447が堆積される(第17E図)。次に、酸化層446が、薄いLOCOSフィールド酸化

物層451の層に活性領域450を形成するために、シリコンアイランド441と444の表面の回りに成長される(第17F図)。それから、ポリシリコンは、高圧DMOS素子のゲート453と低圧CMOS素子のゲート454を形成するために堆積され、パターン化される(第17G図)。なお、DMOS素子のゲート453は、フィールド酸化物層451上の活性領域450から延びている。活性領域450上のゲート453の層は、pチャネル拡散のための拡散層として使用され、フィールド酸化物層451上のゲートの部分は、nウェルドリフト領域において電界を制御するために使用される。

チャネル領域に続いて、pチャネルとpチャネルソース456、459とドリフト領域457、460が、ヒジとウキの注入を使用して形成される(第17H～17J図)。次に、ポリフォスフォリシケートガラス(BPSG)フロー層461が形成され、そして開口が、DMOS素子のソース456、ドレイン457とゲート453とともに、CMOS素子のソース459とドレイン460に堆積するように、BPSG層458を通して形成される(第17K図)。さらに、アルミニウム、タンダステン又は他の適切な金属のパターン化金属層462が、素子と他の回路パターンの間に堆積するために使用される。好ましいプロセスは、9つのマスクを具備し、高圧DMOS素子と低圧CMOS素子の作製を許容する。

DMOS素子の低圧特性は、溝の深さの次元とともに、拡散されたpチャネル及びpチャネルドリフト領域のドーピング量による。重要な特徴的次元は、nウェルドリフト領域の長さ、活性領域におけるポリシリコンゲートの線と下層フィールド酸化物の層の間の間隔、及びフィ

ールド酸化物上のポリシリコンゲートとフィールド酸化物の線の間隔の定数である。DMOS素子における電圧降度はまた、これらのパラメータの幾つかの関数であるとともに、素子の全サイズの関数である。好ましい実施形態は高密度配列(1Mビットセル/1cm²)を含むために、ビット面積と、このため、トランジスタサイズは、できる限り小さく保持される。

第17L図を参照すると、回路パネルは、連続的に基板430から除去され、E L発光体を形成したガラス板431に転写される。転写プロセスは、両端地層において記載された如く、C E L、C L E F T、又はバックエッチング及び/又はラッピングを具備する。

第18A～18D図は、エレクトロルミネッセントカラーディスプレイの作製プロセスの断面を示す。前述の如く、この作製プロセスは、歩進としてここに取入れられた、Barrow法への開路面PCT/US 88 01680において開示されたE Lカラーディスプレイ形成プロセスに基づく。E Lディスプレイ形成プロセスは、単色又はカラーディスプレイであらうと、発光性層スタックの層の選択堆積を具備する。発光層は、各カラーセグメントが、赤、緑、及び青発光体層を含む如くパターン化される。赤色は、赤成分のみを選択するために、黄色ZnS:S:Mn発光体層で満たすことにより獲得される。緑及び青発光体層は、所望のスペクトル領域における発光のために、Mn以外の成分を有する。

E Lディスプレイの第1層は、底部電極である。好ましいE Lディスプレイ形成プロセスにおいて、底部電極は、電極層においてトラップのソース又はドレイン金属化を具備する。この電極は、E Lパネル

の発光効率を増大させるために、所望の波長の高反射のために塗布される。第18A図を参照すると、作製プロセスは、底部絶縁体423の堆積で始まり、好ましくは、回路パネル414のアクティブマトリックスの全面を覆う。第1カラー発光体層476は、アクティブマトリックス上に堆積される。パターン化される。第1パターン層477が堆積され、そして第2カラー発光体層478が、堆積され、ストップ層上にパターン化される(第18B図)。第2エッチストップ層479が、堆積され、第3カラー発光体層480が、堆積され、第2ストップ層上にパターン化される。

第18C図を参照すると、パターン化発光体層418の配列は、頂部絶縁体417で被覆される。2つの絶縁層417と423は、頂部電極とアクティブマトリックス回路パネルの間の導電性を阻害させ、そしてまた、外部電圧が電極から堆積から材料を除去するためにパターン化される。酸化インジウムスズの如く光透過性材料から形成した頂部電極419が、堆積され、頂部絶縁体417上にパターン化される(第18D図)。頂部電極の堆積は、発光体416とアクティブマトリックス回路414の間の回路を完成するために役立つ。それから、赤フィルター482が、堆積され、赤ピクセル上にパターン化され、又は代替的に、カバーが使用されるならば、シールドカバーに組み込まれる。赤フィルター482は、所望の赤色を生産するために出力されたZnS:Mn発光(黄色)の所望の赤成分を通過させる。

代替的に、E L回路スタックは、アクティブマトリックス回路パネルが、前述の転写プロセスによって転写されるガラス又は他の基板上に形成される。さらに別のオプションは、ヘルムツト観望きし回路表

面の如く、別の材料への回路パネルとEしタックの両方の転写を具備する。

支持基板から異なる材料へのシリコンの層を転移かつ接合させるための好ましいプロセスは、第19A~19B図に示される。このプロセスは、薄底シリコン(第17A~17L図)又は金Eしディスプレイ(第18A~18D図)において形成した回路パネルを転移させ、かつガラスの如く異なる材料又は材料の両面表面に接合するために使用される。

第19A図を参照すると、開始層は、酸化層516と単結晶シリコン514の層が、ISE又はCLEFTの如く前述の技術の任意を使用して形成されるシリコンウェーハ500である。ピクセル電極、TFT、ドライバと画素回路の如く複数の回路511が、薄底シリコン514において形成される。それから、SOI処理ウェーハは、接着剤520を使用して、ガラス又は他の透明絶縁体又は材料の両面表面の如く上層512に接合される。

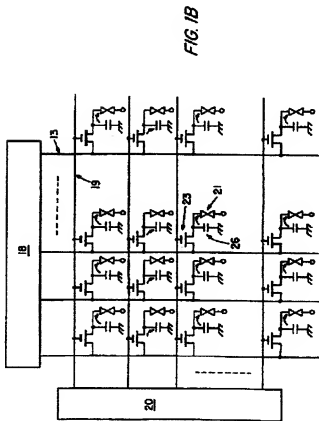
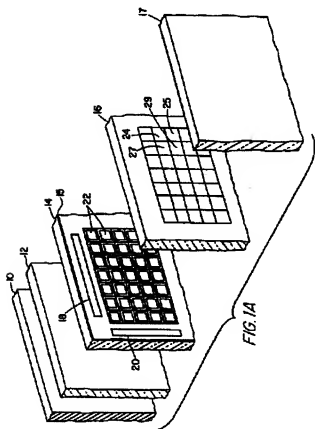
それから、ウェーハは、洗浄され、そして自然酸化物が、表面518からエッチングされる。ウェーハは、溶液(KOH又は等価物)に入れられる。エッチング液は、酸化物において非常に低いエッチング率を有し、その結果、基板がエッチングされ、埋め込み酸化物が露出される時、エッチング率は低下する。KOHにおけるシリコンエッチング率約KOHにおける酸化物エッチング率の選択性は、非常に高い(200:1)。この選択性は、シリコンエッチングの一般値と組み合わされ、エッチャーがプロセスを進展し、その上の薄いシリコン層514まで貫通することなく、埋め込み酸化層516'において停止することを可能にする。

最大25ミル厚のウェーハと4000Aの薄い酸化物が、このプロセスを使用して成功的にエッチングされた。代替的なエッチング液は、異なるエッチング率選択性を有するとドラジンである。

ガラス512に転移された回路514は、水洗いされ、乾燥される。回路511内に設けられていないならば、基板回路処理される。また、所望ならば、置は、別の基板に転移され、そしてガラス上層がエッチングされ、被く回路処理のためにウェーハの表面へのアクセスを許容する。

第20A~20B図は、GeSiが中間エッチングストップ層として使用される、代替的シリコン層膜転移プロセスを示す。第20A図を参照すると、このプロセスにおいて、シリコンバッファ層526が、公知のCVD又はMBE成長システムを使用して、単結晶シリコン基板528において形成され、覆いて、薄いGeSi層524と薄い単結晶シリコン面層又は回路層532が形成される。それから、置は、TFT又はピクセル電極602の如く回路を形成するために前述の方法でIC処理される。次に、処理ウェーハは、エポキシ接着剤を使用して、ガラス又は他の支持物680上に取り付けられる。エポキシは、前処理によって形成された受けを充填し、両面を上層680に接合させる。

次に、厚シリコン基板528とシリコンバッファ層526は、GeSi層524に影響しないKOHで、エッチングすることにより除去される(第20B図)。最後に、シリコン膜に影響しないGeSi層524が、選択的にエッチングされる。



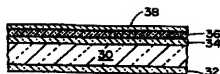


FIG. 2A

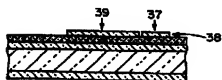


FIG. 2B

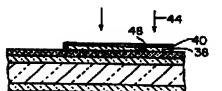


FIG. 2C



FIG. 2D



FIG. 2I

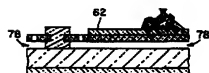


FIG. 2J



FIG. 2K



FIG. 2L

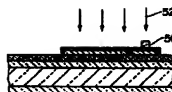


FIG. 2E

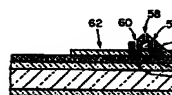


FIG. 2F

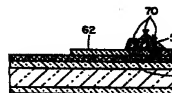


FIG. 2G

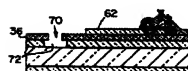


FIG. 2H

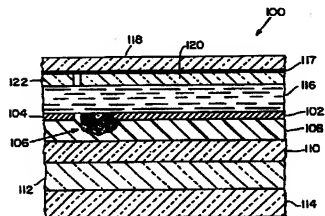


FIG. 3

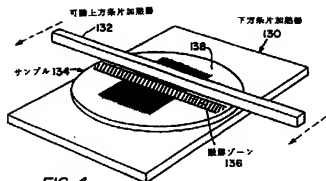


FIG. 4

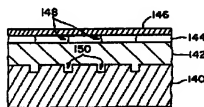


FIG. 5A

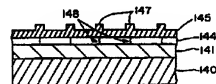


FIG. 5B

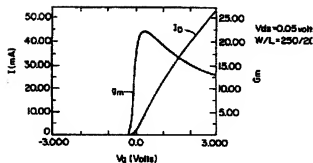


FIG. 6A

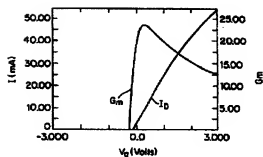


FIG. 6B

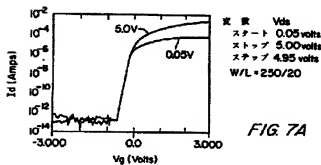


FIG. 7A

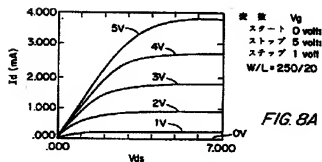


FIG. 8A

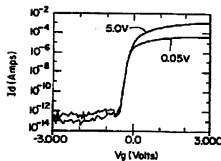


FIG. 7B

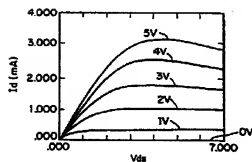


FIG. 8B

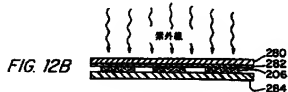
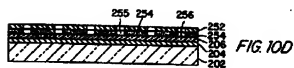
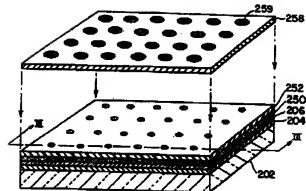
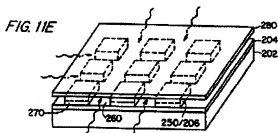
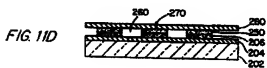
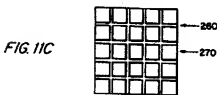
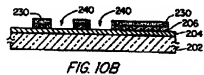
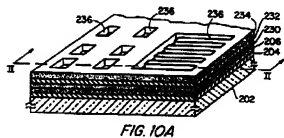


FIG. 13A

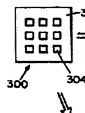


FIG. 13B

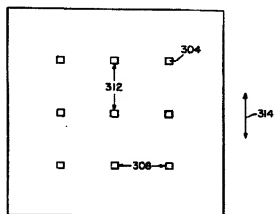
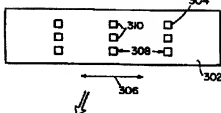


FIG. 13C

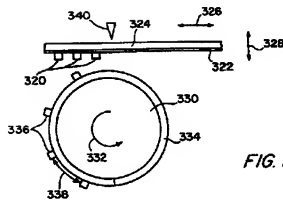


FIG. 14A

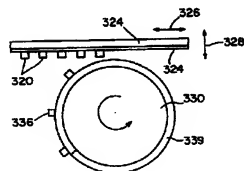


FIG. 14B

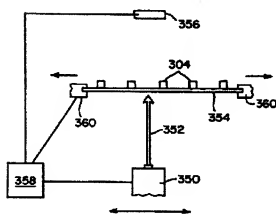


FIG. 15

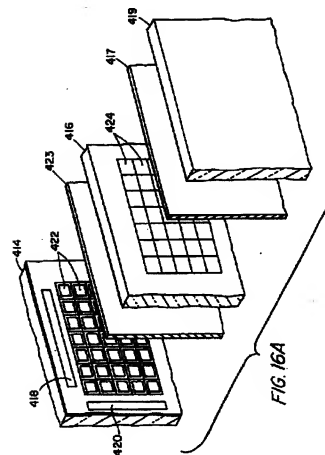


FIG. 16A

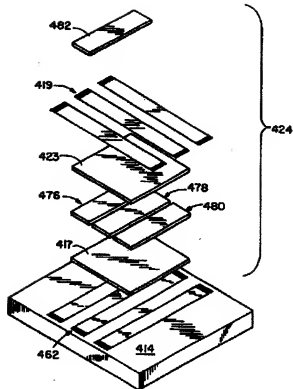


FIG. 16B

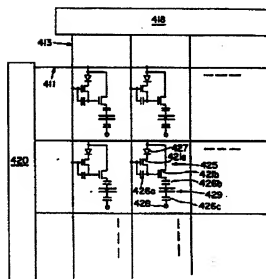


FIG. 16C

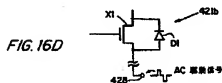


FIG. 16D



FIG. 17A



FIG. 17B



FIG. 17C



FIG. 17D



FIG. 17E



FIG. 17F



FIG. 17G



FIG. 17H



FIG. 17I



FIG. 17J



FIG. 17K



FIG. 17L



FIG. 18A

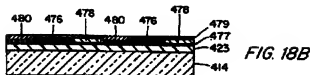


FIG. 18B

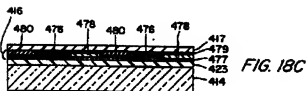


FIG. 18C

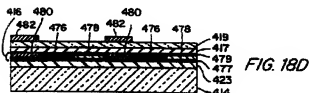


FIG. 18D



FIG. 19A

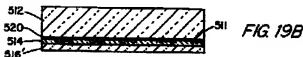


FIG. 19B

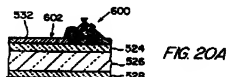


FIG. 20A



FIG. 20B

補正書の字し (簡訳文) 提出書 (特許法第184条の8)

平成5年6月29日

特許庁長官 麻生 遼 蔵

1. 特許出願の表示

PCT/US91/09770

2. 発明の名称

表示パネル用の単結晶シリコン配列素子

3. 特許出願人

住所 アメリカ合衆国マサチューセッツ州02780トントン・マイルズスタンディッシュインダストリアルパーク・マイルズスタンディッシュブルバード895

名称 コビン・コーポレーション

4. 代理人 〒107

住所 東京都港区赤坂1丁目9番15号

日本自動車会館

氏名 (6078) 弁護士 小田島 平吉

電話 3585-2258

5. 補正書の提出年月日

1992年12月24日

6. 補正書の頁数

(1) 補正書の字し (簡訳文)



1通

第8A図は、ゲート電圧が0〜5ボルトで変化する、第6A図の電子のドレイン電流出力を示す。

第8B図は、ゲート電圧が0〜5ボルトで変化する、第6B図の電子のドレイン電流出力を示す。

第9A〜9C図は、発明によるリフトオフプロセスを示す一定の断面図である。

第10A図は、発明の別の実施形態による、リフトオフ処理中のウェーハの部分斜視図である。

第10B図は、プロセスにおける最良後、リフトオフ後の第10A図の図の横一に於て取った断面図である。

第10C図は、レジストレーションが維持される別の実施形態において、リフトオフ処理中のウェーハの一部の断面図である。

第10D図と第10E図は、リフトオフプロセスにおけるさらに他の最良後の第10C図の断面の断面を示す。

第11A〜11E図は、発明によるリフトオフ手順のプロセスフローにおける各段階中のウェーハの地図である。

第12A〜12C図は、発明の別の好ましいリフトオフ手順の断面図である。

第13A〜13C図は、発明による転移の好ましい方法を概略的に示す。

第14A図と第14B図は、発明によるさらに他の転移方法を概略的に示す。

図 表 の 説 明

1. パネルディスプレイを形成する方法において、
 - a) 支持基板の上に絶縁層において本質的半導体材料を形成することと、
 - b) 表示ピクセルの周囲にパネルを形成するように、本質的半導体材料において又は上にトランジスタの絶縁配列を形成することと、
 - c) 支持基板から第2基板上に回路パネルを転写することと、
 - d) 各ピクセルが少なくとも一つのトランジスタによって作動可能であり、各ピクセル電極によって発生された電界又は電圧が光透過性材料の光学特性を変化する如く、回路パネルの表示ピクセルの絶縁配列において形成したピクセル電極に隣接して光透過性材料を位置付けることを含むことを特徴とする方法。
2. 段階 a) が、支持基板において本質的半導体材料を形成することと、本質的半導体材料を形成するために本質的半導体材料を結晶化することを含む請求の範囲1に記載の方法。
3. 本質的半導体材料を形成する段階が、多数の結晶が、膜を渡って膜に覆われている平面において、少なくとも約0.5 cm²の面積に広がる膜を形成することを含む請求の範囲1に記載の方法。
4. 第2基板が、光透過性基板である請求の範囲1に記載の方法。
5. 各トランジスタが駆動電極に電気的に接続される如く、本質的半導体材料において又は又上に駆動電極を形成することをさらに含む請求の範囲1に記載の方法。
6. 転写段階が、さらに、本質的半導体材料から支持基板を化学的にエッチングすることを含む請求の範囲4に記載の方法。
7. 転写段階が、さらに、回路パネルを光透過性基板に貼合せることを含む請求の範囲4に記載の方法。
8. 光透過性材料が、液晶を具備する請求の範囲1に記載の方法。
9. 光透過性材料が、発光性材料である請求の範囲1に記載の方法。
10. 発光性材料が、エレクトロルミネセント材料である請求の範囲1に記載の方法。
11. 位置付け段階が、各ピクセルにおいて発生された電界が、光透過性電極とピクセル電極の間にある如く、光透過性材料上の光透過性電極配列を位置付けることを含む請求の範囲1に記載の方法。
12. 本質的半導体材料が、光透過性基板の表面に転写される請求の範囲1に記載の方法。
13. 支持基板と、
 - 基板に固定され、トランジスタの絶縁配列とピクセル電極の配列を具備し、各電極が少なくとも一つのトランジスタに電気的に接続され、トランジスタが、絶縁層における本質的半導体材料の部分において又は上にトランジスタの絶縁配列として形成されている回路パネルと、
 - 各ピクセルによって発生され、光透過性材料に印加された電圧又は電圧が光透過性材料の光学特性を変化する如く、絶縁層上に電極に隣接して位置付けられた光透過性材料と、
 - ピクセルを作動させるように回路パネルに電気的に接続された駆動電極とを具備することを特徴とするパネルディスプレイ。
14. トランジスタ配列とピクセル電極配列が、本質的半導体材料の表面において又は上に形成される請求の範囲13に記載のパネルディスプレイ。
15. 本質的半導体材料が、半導体シリコンを具備する請求の範囲13に記載のパネルディスプレイ。
16. 本質的半導体材料が、多数の結晶が、膜を渡って膜に覆われている平面において、少なくとも約0.5 cm²の面積に広がる膜である請求の範囲13に記載のパネルディスプレイ。
17. 回路パネルを光透過性基板に固定するための貼合せ材料をさらに具備する請求の範囲13に記載のパネルディスプレイ。
18. 電極が、光透過性材料の膜と接合せられた電極の光透過性配列を具備し、各光透過性電極が、トランジスタの一つに電気的に接続される請求の範囲13に記載のパネルディスプレイ。
19. 光透過性材料が、液晶を具備する請求の範囲13に記載のパネルディスプレイ。
20. 光透過性材料が、発光性材料を具備する請求の範囲13に記載のパネルディスプレイ。
21. 発光性材料が、エレクトロルミネセント材料を具備する請求の範囲20に記載のパネルディスプレイ。
22. トランジスタが、約5000 Hzをなし約10,000 Hzの周波数において動作する請求の範囲20に記載のパネルディスプレイ。
23. 駆動回路が、本質的半導体材料の層において形成され、駆動電極が、回路トランジスタを作動させることにより、各ピクセルを選択的に作動させることができる如くトランジスタに電気的に接続され、各作動されたトランジスタに接続された回路ピクセル電極が、光透過性材料に電圧を生じさせる請求の範囲14に記載のパネルディスプレイ。

24. 発光性材料が、液晶の領域を具備し、各領域が、異なる色において発光する請求の範囲20に記載のパネルディスプレイ。

フロントページの続き

- (72) 発明者 マツクレランド、ロバート
アメリカ合衆国マサチューセッツ州02061ノ
ーウエル・パークヒルドライブ50
(72) 発明者 ジャコブセン、ジェフリー
アメリカ合衆国カリフォルニア州96023ホ
リスター・テビストレイル501

- (72) 発明者 デイングル、ブレンダ
アメリカ合衆国マサチューセッツ州02756ノ
ートン・モーガンレイン5
(72) 発明者 スピッツァー、マーク
アメリカ合衆国マサチューセッツ州02067シ
ヤロン・ミンクトラップロード2